

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-152959
(43)Date of publication of application : 18.06.1993

(51)Int.Cl. H03M 1/14

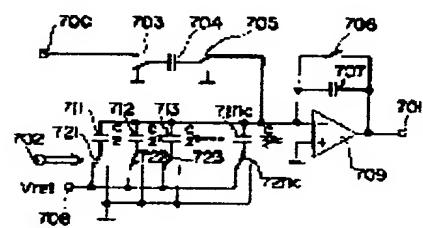
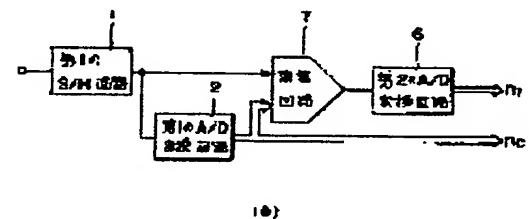
(21)Application number : 03-342093 (71)Applicant : NEC CORP
(22)Date of filing : 30.11.1991 (72)Inventor : YASUDA SUSUMU

(54) A/D CONVERSION CIRCUIT

(57) Abstract:

PURPOSE: To reduce the circuit scale and power consumption and to improve the conversion accuracy by incorporating a required circuit or the like.

CONSTITUTION: A serial parallel A/D converter circuit is made up of a 1st sample-and-hold circuit 1, a 1st A/D converter circuit 2, an arithmetic operation circuit 7 applying subtraction processing to an output of the circuit 1 and an output of the circuit 2 subject to D/A conversion and a 2nd A/D converter circuit 6 converting the output of the circuit 7. A switch 703 and a capacitor 704 of the circuit 7 sample an analog signal, and an A/D converter circuit having capacitors 711-71n whose capacitance ratio is 2's power connected in common to an inverting input terminal of an operational amplifier 709 converts the sampled analog signal into n-bit digital signal. Then D/A converter processing and subtractor processing are implemented by using the operational amplifier 709 and one capacitor 707 and the analog arithmetic operation circuit incorporates each circuit. Thus, the circuit scale and power consumption are saved and the conversion accuracy is enhanced.



LEGAL STATUS

[Date of request for examination] 12 12 1997

[Date of sending the examiner's decision of rejection] 29.02.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998-2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-152959

(43)公開日 平成5年(1993)6月18日

(51)Int.Cl.⁵
H 03M 1/14識別記号 庁内整理番号
A 9065-5J

F I

技術表示箇所

審査請求 未請求 請求項の数1(全7頁)

(21)出願番号 特願平3-342093

(22)出願日 平成3年(1991)11月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 安田 晋

東京都港区芝5丁目7番1号 日本電気株式会社内

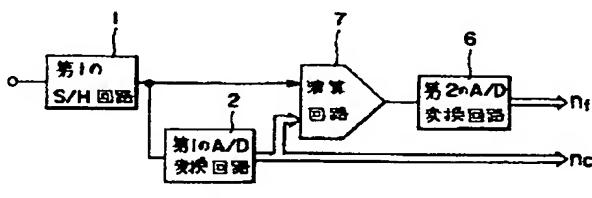
(74)代理人 弁理士 藤巻 正憲

(54)【発明の名称】 アナログ/デジタル変換回路

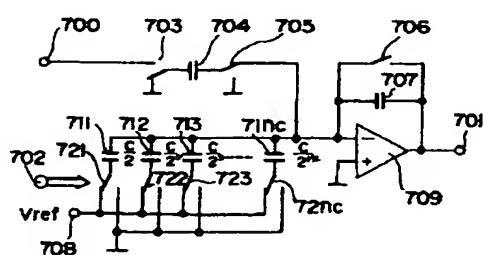
(57)【要約】

【目的】 直並列型アナログ/デジタル変換回路において、回路規模及び消費電力を削減し、更に変換精度を向上させることを目的とする。

【構成】 第1のS/H回路1と、第1のA/D回路2と、第2のA/D回路6と、S/H回路、D/A変換回路及び減算回路を一体化した演算回路7とで構成される。この演算回路7は、容量704とスイッチで構成されるS/H回路と、各容量711～71nCの値の比が2のべき乗であるnC個の容量とスイッチで構成されるD/A変換回路と、1個の容量707と1個の演算増幅器709で構成される電荷加算型の減算回路とを有する。



(a)



(b)

【特許請求の範囲】

【請求項1】 入力信号を標本化し保持する第1のサンプルアンドホールド回路と、前記第1のサンプルアンドホールド回路の出力電圧を n_c ビットのデジタルデータに変換する第1のアナログ/デジタル変換回路と、前記第1のサンプルアンドホールド回路の出力電圧を標本化し保持する第2のサンプルアンドホールド回路と、前記第1のアナログ/デジタル変換回路の出力データをアナログ信号に変換する n_c ビットのデジタル/アナログ変換回路と、前記第2のサンプルアンドホールド回路の出力信号と前記デジタル/アナログ変換回路の出力信号の差をとる減算回路と、前記減算回路の出力信号を n_f ビットのデジタルデータに変換する第2のアナログ/デジタル変換回路とを有するアナログ/デジタル変換回路において、前記第2のサンプルアンドホールド回路は容量とスイッチを有し、前記デジタル/アナログ変換回路は各容量の値の比が2のべき乗である n_c 個の容量とスイッチを有し、前記デジタル/アナログ変換回路の n_c 個の各容量の一端は前記第1のアナログ/デジタル変換回路の出力データに対応して基準電位か又は接地電位に接続され、前記減算回路は前記第2のサンプルアンドホールド回路の出力と前記デジタル/アナログ変換回路の出力を入力とする電荷加算型の減算回路であることを特徴とするアナログ/デジタル変換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アナログ/デジタル変換回路に関し、特に直並列型アナログ/デジタル変換回路に関する。

【0002】

【従来の技術】 従来の直並列型のアナログ/デジタル変換（以下A/D変換と記す）回路は、図4に示すように入力信号をサンプリングする第1のサンプルアンドホールド（以下S/Hと記す）回路1と、そのサンプリングされたアナログ電圧の内の上位 n_c ビットをアナログ/デジタル変換する第1のA/D変換回路2と、第1のS/H回路の出力電圧を再度サンプルアンドホールドする第2のS/H回路3と、第1のA/D変換回路2の変換結果をデジタル/アナログ変換（以下D/A変換と記す）する n_c ビットのD/A変換回路4と、D/A変換回路4の出力と第2のS/H回路の出力との差をとる減算回路5と、減算回路5の減算結果から下位 n_f ビットをA/D変換する第2のA/D変換回路6とを有している。第1のA/D変換回路2及び第2のA/D変換回路6の出力は、 $n = n_c + n_f$ ビットのデータとなる。

【0003】 第1のA/D変換回路2及び第2のA/D変換回路6は、例えば図5に示すような並列型A/D変換器で構成される。入力信号は N_1 個（ $N_1 = 2$ の n_1 乗）の抵抗 $201 \sim 20N_1$ の列によって分割された電圧を基準電圧とする $N_1 - 1$ 個のコレバレータ $211 \sim$

21 ($N_1 - 1$) によってデジタル値に変換されエンコーダ22によって N_c ビットのデータに変換される。

【0004】 また、D/A変換回路4は、例えば図6に示すように抵抗 $401 \sim 40N_1$ 、スイッチ $411 \sim 41(N_1 - 1)$ 、バッファアンプ41及びデコーダ42から構成される。減算回路5は、例えば図7に示すように抵抗 $51 \sim 54$ 及び演算増幅器55で構成される。

【0005】

【発明が解決しようとする課題】 しかしながら、上記従来の直並列型A/D変換回路では、D/A変換回路、減算回路及びS/H回路の夫々に演算増幅器が必要であり、消費電力及び所要面積が極めて大きくなるという問題点がある。また、D/A変換回路では抵抗列による電圧分割を用いているため、D/A変換精度が抵抗比で制限され、8ビット以上の精度を出すのが困難であるという問題点がある。

【0006】 本発明はかかる問題点に鑑みてなされたものであって、直並列型のA/D変換回路において、回路規模及び消費電力を削減し、更に変換精度を向上させることができるA/D変換回路を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明に係るA/D変換回路は、入力信号を標本化し保持する第1のサンプルアンドホールド回路と、前記第1のサンプルアンドホールド回路の出力電圧を n_c ビットのデジタルデータに変換する第1のアナログ/デジタル変換回路と、前記第1のサンプルアンドホールド回路の出力電圧を標本化し保持する第2のサンプルアンドホールド回路と、前記第1の

アナログ/デジタル変換回路の出力データをアナログ信号に変換する n_c ビットのデジタル/アナログ変換回路と、前記第2のサンプルアンドホールド回路の出力信号と前記デジタル/アナログ変換回路の出力信号の差をとる減算回路と、前記減算回路の出力信号を n_f ビットのデジタルデータに変換する第2のアナログ/デジタル変換回路とを有するアナログ/デジタル変換回路において、前記第2のサンプルアンドホールド回路は容量とスイッチを有し、前記デジタル/アナログ変換回路は各容量の値の比が2のべき乗である n_c 個の容量とスイッチを有し、前記デジタル/アナログ変換回路の n_c 個の各容量の一端は前記第1のアナログ/デジタル変換回路の出力データに対応して基準電位か又は接地電位に接続され、前記減算回路は前記第2のサンプルアンドホールド回路の出力と前記デジタル/アナログ変換回路の出力を入力とする電荷加算型の減算回路であることを特徴とする。

【0008】

【作用】 本発明に係るA/D変換回路においては、容量とスイッチで構成されるS/D回路と、各容量の値の比が2のべき乗である n_c 個の容量とスイッチで構成され

るD/A変換回路と、1個の容量と1個の演算増幅回路で構成される電荷加算型の減算回路とによって、S/H回路、D/A変換回路及び減算回路を一体化構成できる。従って、S/H回路、D/A変換回路及び減算回路における演算増幅器の必要数は1個となるため、構成が簡単となり、占有面積及び消費電力を従来の直並列型A/D変換回路の1/3以下に低減することが可能となる。また、D/A変換回路として容量列を用いているため、抵抗列を用いたD/A変換回路以上に比精度を向上させることができ、消費電力をさらに低減することが可能である。

【0009】

【実施例】次に、本発明の実施例について添付の図面を参照して説明する。

【0010】図1(a)は、本発明の第1の実施例に係るA/D変換回路を示すブロック図である。このA/D変換回路へのアナログ入力信号は、入力端子8から第1のS/H回路1に入力される。第1のS/H回路1の出力は、第1のA/D変換回路2でncビットのデジタル値に変換される。第1のS/H回路1の出力と第1のA/D変換回路2の出力は、演算回路7に入力される。演算回路7では、第1のS/H回路1の出力を再度標準化し、また、第1のA/D変換回路2の出力をアナログ信号に変換する。更に、演算回路7では、第1のS/H回路1の出力を再度標準化した値と第1のA/D変換回路2の出力をアナログ信号に変換した値との差をとって出力する。第2のA/D変換回路6では、演算回路7の出力電圧をnfビットのデジタル値に変換する。以上の回路によって、入力端子8から入力されたアナログ入力信号は、nc+nfビットのデジタル値に変換される。

【0011】演算回路7は、サンプルアンドホールド、D/A変換及び演算という3つの機能を有し、具体的には図1(b)に示すように構成されている。アナログ信号は入力端子700に印加され、スイッチ703がオンのときに容量704でサンプリングされる。容量704はスイッチ705がオンのときに演算増幅器709の反転入力端子に接続される。この演算増幅器709の他方の入力端子は接地されている。演算増幅器709の反転入力端子と出力端子701との間には、容量709及びスイッチ706が並列に接続されている。容量711～71ncの各電極の一方は演算増幅器709の反転入力端子に共通に接続され、各電極の他方は夫々スイッチ721から72ncを介して接地又は基準電圧入力端子708に接続されるようになっている。容量711～71ncの各容量の値は、C/2, C/(2の2乗), C/(2の3乗)…C/(2のnc乗)というように、2のべき乗の比となるように設定されている。スイッチ721から72ncは演算回路デジタル入力端子702の信号によりオンオフ制御される。

【0012】次に、このように構成されたアナログ/D

ジタル変換回路の動作について、図2の本実施例のA/D変換回路全体の動作を示すタイミングチャートも参照して説明する。図1(b)に示すように、第1の位相で入力端子700から入力されたアナログ信号は、スイッチ703, 705を介して容量704でサンプリングされ、同時に容量711～71ncの各電極の一方は演算増幅器709の反転入力端子に共通に接続され、各電極の他方はデジタル入力信号により動作するスイッチ721～72ncにより夫々接地される。また、演算増幅器709の反転入力と出力端子との間に接続される積分容量707は、スイッチ706によって短絡されて放電される。

【0013】次に、第2の位相になると、スイッチ703, 705が切り換り、第1の位相において、容量704で蓄積された電荷が電極が反転されて積分容量707に転送される。また、第1のA/D変換回路2の出力であるncビットのデジタル値に対応してスイッチ721～72ncが基準電圧端子708に接続されて、各容量711～71ncから夫々電荷が積分容量707に転送される。スイッチ706は解放されているので、積分容量707には容量704と容量711～71ncから転送された電荷が加算されて蓄積され、出力端子701には容量707に蓄積された電荷と容量707の容量値で決まる電圧がOutputされる。

【0014】図3は、本発明の第2の実施例に係るA/D変換回路を示すブロック図である。第1の実施例と同じ機能を有するブロックには同じ番号を付してある。この第2の実施例では、第1の実施例における演算回路7の出力を演算回路9で再度サンプルアンドホールド、D/A変換及び演算を行ない、その結果をA/D変換回路10でn1ビットのデジタルデータに変換する。これによって、入力アナログ信号をnc+nf+n1ビットのデジタル値に変換でき、よりビット数の多い高精度なA/D変換回路が従来のA/D変換回路よりも極めて小数の演算増幅器で実現できる。

【0015】

【発明の効果】以上説明したように、本発明に係る直並列型A/D変換回路によれば、S/H回路、D/A変換回路及び減算回路を一体化する構成としたため、そのS/H回路、D/A変換回路及び減算回路における演算増幅器の必要数は1個となるので、回路構成が簡単となり、占有面積及び消費電力を従来の直並列型A/D変換回路の1/3以下に低減することが可能である。また、D/A変換回路として容量列を用いているため、抵抗列を用いたD/A変換回路以上に比精度を向上させることができあり、消費電力をさらに低減することが可能である。

【図面の簡単な説明】

【図1】(a)は、本発明の第1の実施例に係るA/D変換回路を示すブロック図、(b)は、(a)に示す本

5
発明の第1の実施例に係るA/D変換回路における演算回路の回路図である。

【図2】図1に示す本発明の第1の実施例に係るA/D変換回路の動作を説明するタイムチャートである。

【図3】本発明の第2の実施例に係るA/D変換回路を示すブロック図である。

【図4】従来のA/D変換回路の一例を示すブロック図である。

【図5】図4に示す従来のA/D変換回路における第1のA/D変換回路及び第2のA/D変換回路の一例を示す回路図である。

* す回路図である。

【図6】図4に示す従来のA/D変換回路におけるD/A変換回路の一例を示す回路図である。

【図7】図4に示す従来のA/D変換回路における減算回路の一例を示す回路図である。

【符号の説明】

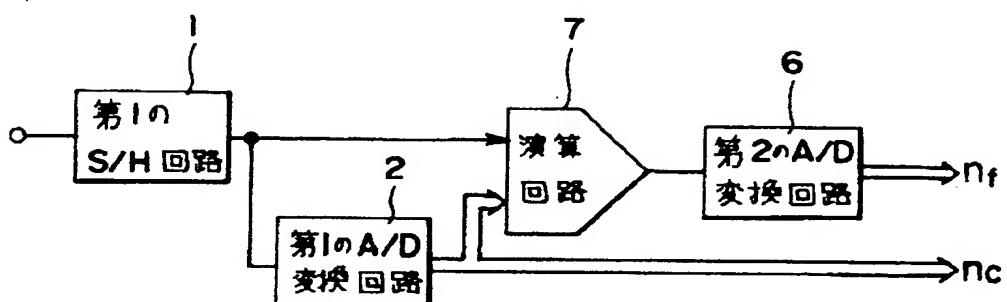
1: 第1のS/H回路

2: 第1のA/D回路

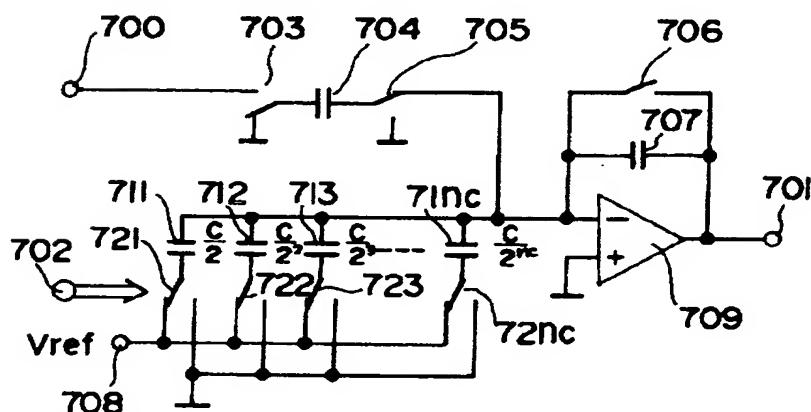
6: 第2のA/D回路

7: 演算回路

【図1】

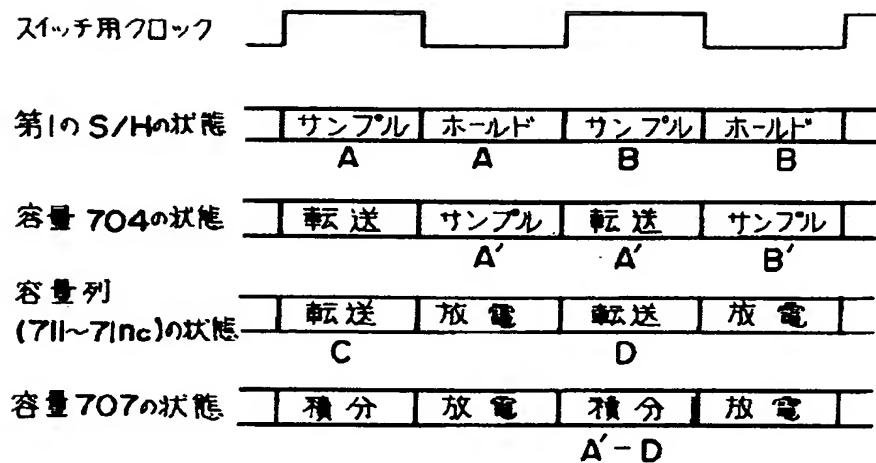


(a)

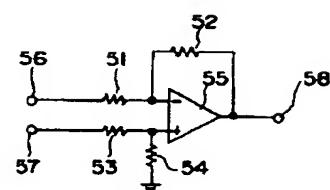


(b)

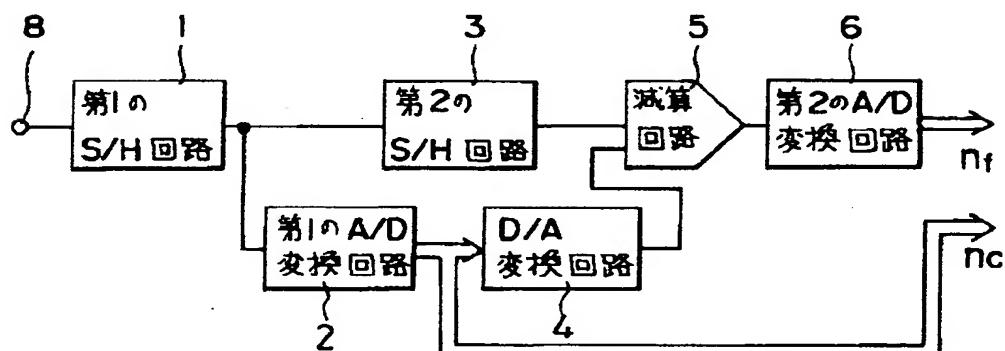
【図2】



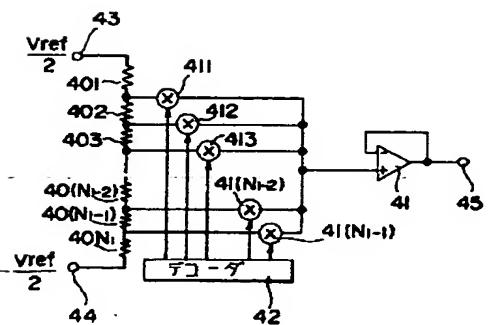
【図7】



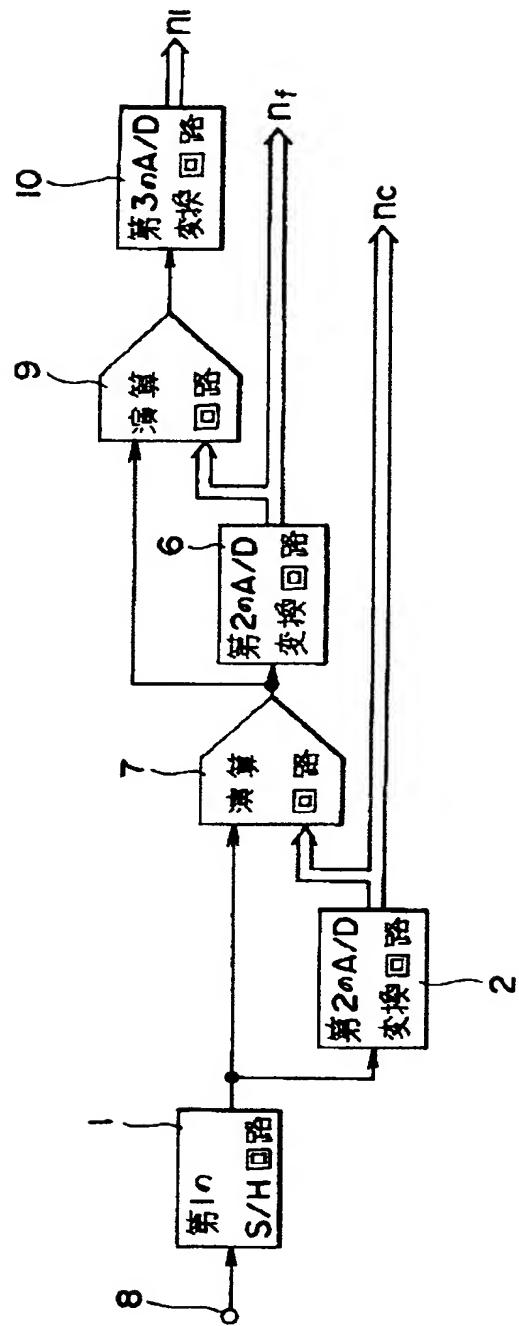
【図4】



【図6】



【図3】



【図5】

